

可配置高精度 FFT/IFFT 的设计

姜 鑫^{1,2}, 唐 广¹, 吴 斌²

(1 电子科技大学 电子工程学院, 四川 成都 610054; 2 中国科学院 微电子研究所, 北京 100029)

摘 要: 提出了一种可配置高精度 FFT/IFFT 处理器的设计. 设计中采用单蝶形混合基串行结构, 降低了系统的复杂性, 节省了一定的资源. 提出了一种新颖的块浮点算法, 有效避免了溢出问题并且提高了精度. 运算点数可以通过对产生地址计数器的位选择配置为 64、128、256、512、1024, 实部、虚部均为 16bit 数据, 不仅可以实现 FFT 运算, 还可以实现 IFFT 运算. 在 SMIC 0.13 μm CMOS 工艺下综合的面积为 1.55mm², 最高频率为 210MHz. 测试结果显示了本设计的高精度特性.

关键词: FFT; IFFT; 高精度; 可配置

中图分类号: TN911.7

文献标识码: A

文章编号: 1000-7180(2010)07-0044-05

Design of Configurable High-precision FFT/IFFT Processor

JIANG Xin^{1,2}, TANG Guang¹, WU Bin²

(1 School of Electronic Engineering, UEST of China, Chengdu 610054 China;

2 Institute of Microelectronics, the Chinese Academy of Sciences, Beijing 100029 China)

Abstract: Present a design of configurable high-precision FFT/IFFT processor. The whole design uses mixed radix serial architecture, reducing the system complexity and saving hardware resource. Present a novel block floating point algorithm which solves the overflow in long point FFT effectively and improves precision. The point can be configed to 64、128、256、512、1024 by controlling counter for generating address, and the real and imaginary parts of data are 16 bits, the design not only can implement FFT, but also can implement IFFT. The proposed processor is designed in a SMIC 0.13 μm CMOS process, the area is 1.55mm². The highest clock frequency is 210MHz. The test result shows high-precision of the design.

Key words: FFT; IFFT; high-precision; configurable

1 引言

快速傅里叶变换(FFT)作为时域和频域转换的基本运算,已经成为数字谱分析的必要手段,广泛应用于雷达、通信、声纳和图像处理等众多领域. 传统 FFT 硬件实现多为定长,为了实现高吞吐率大多采用并行结构,其运算速度受到数据带宽的限制,往往需要增加成倍的存储单元来满足速度的要求,而且点数不可配置,采样点长度发生变化就不适用,难以适应于多种场合. 此外,定点和传统的块浮点结构精度只能满足一些特定的系统中,不能适用于有高精度要求的系统. 综合上述考虑,提出了一种高精度可

配置(采样点数 64、128、256、512、1024)FFT/IFFT 处理器,设计采用了一种新颖的块浮点算法,有效地提高了运算精度,而且整体设计采用单蝶形混合基串行结构^[1],大大地节省了资源.

2 混合基 FFT/IFFT 算法

FFT 算法的基本思想是利用旋转因子的对称性、周期性和可约性,将 N 点序列分解成多个较短序列,这些短序列又可以重新组合为原序列,进而使总的运算次数得到减少^[2].

设计既要实现 4^L ,又要实现 2^L 点的 FFT,因此选择混合基算法.

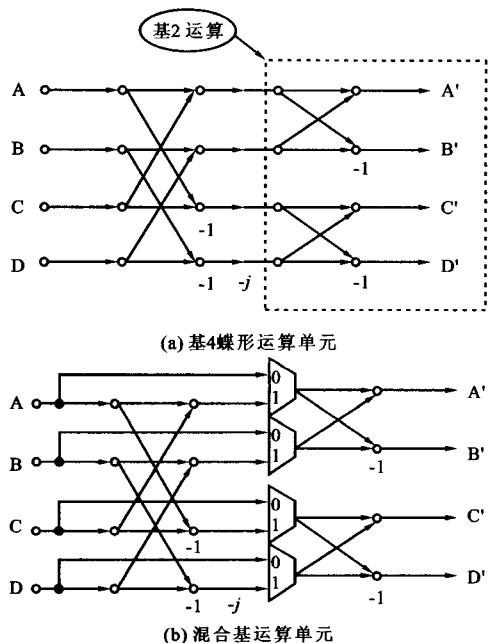


图2 蝶形运算单元

享一个蝶形单元. 由选择器控制完成基 4 或是基 2 运算. 选择器选择控制为 1 时, 数据从 A、B、C、D 进入, 经过第一级基 2 运算和第二级基 2 运, 完成基 4 运算; 选择器选择控制为 0 时, 数据直接经过第二级基 2 运算, 完成基 2 运算. 这种对蝶形单元的改进方法节省了二个基 2 单元的资源^[5].

而一个复数乘法器, 直接展开运算需要 4 个实数乘法器和 2 个实数加法器:

$$(a + jb) \times (c + jd) = (ac - bd) + j(ad + bc)$$

上式进行变换可以得到

$$(a + jb) \times (c + jd) = ((c - d)a + (a - b)d) + j((a - b)d + (c + d)b).$$

后式需要 3 个实数乘法器和 5 个实数加法器, 在硬件实现上, 乘法器的资源远大于加法器, 通过以上变换节省了一定的硬件开销.

3.3 地址产生模块的设计

地址产生模块包括写 RAM 地址产生单元、读 RAM 地址产生单元和读 ROM 地址产生单元. 每个单元都由状态机控制计数器产生地址, 每一级的地址都是由计数器的相应位进行交换得到的. 由于采用了原位运算, 运算时的读写采用同一地址产生单元即可.

由于要实现的最大点数为 1024 点, 串行运算需要 1024 个地址, 因此用 10 位的计数器即可. 其他点数的地址产生可以共享该计数器. 以 1024 点为例, 具体地址产生如图 3 所示.

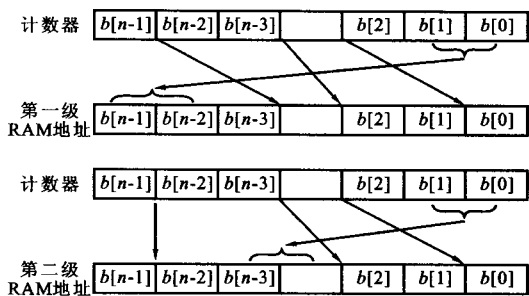


图3 RAM 地址产生规律图

旋转因子表也按照 1024 点生成, 其他点数只需在其中进行相应的抽取就可得到.

3.4 块浮点与溢出控制

FFT 的运算数据可分为浮点、块浮点和定点 3 种类型. 定点数运算实现简单、速度快, 但动态范围小运算精度也不高. 浮点 FFT 需要将输入转换成由符号位、指数位和尾数位组成的浮点表示形式. 只要指数位数足够大, 浮点 FFT 计算是不会溢出的, 且运算精度高. 但其主要缺点是电路实现复杂且速度较慢. 块浮点表示法兼有定点和浮点的某些优点^[6], 是定点和浮点的折中.

常规的块浮点实现多为一级共享一个指数, 在每级蝶形运算之后进行溢出检查, 根据溢出的位数确定该级需要共享的指数. 这样相对定点精度有所提高, 但是还达不到高精度的要求.

本设计提出一种改进的高精度块浮点算法, 硬件实现复杂性介于定点和浮点之间. 具体实现如图 4 所示.

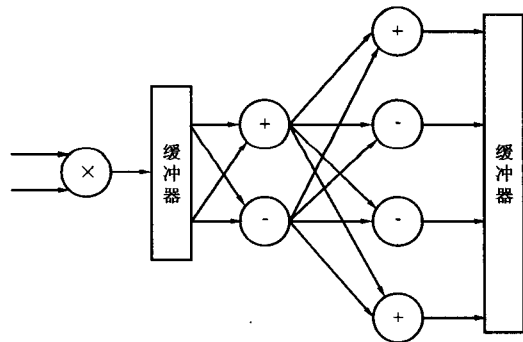


图4 块浮点算法实现框图

参与运算的每个数都有各自的指数和尾数, 每次运算的两个数共享一个指数, 高精度主要体现在两个方面:

(1) 加法运算. 图中的加法器为一个专用的块浮点加法器, 每次运算的两个数先共享指数, 共享的指数为二者中较大的一个, 然后进行尾数相加减, 如有溢出, 先根据结果的指数, 把尾数尽量移大再进行

截位处理,这样在截位时保留的有效数据位较多,进而提高了精度.

(2) 乘法运算. 乘法器也为专用的块浮点乘法器实现. 两个数相乘时,指数相加,尾数相乘,乘之后并不立即截位,根据乘积的指数,把乘积的尾数尽量移大再截位,使精度得到了提高.

提出的块浮点算法,和浮点运算类似,但具有自己的特点,精度高于定点和传统的块浮点算法,满足了高精度的要求.

4 功能验证与 FPGA 实现

本设计全部由 Verilog 语言实现,用 Modelsim 进行功能仿真和时序仿真,仿真结果与 Matlab 结果进行比较显示正确. 采用 Altera Stratix II EP2S180F 1020C4 FPGA 进行实现,四块 RAM 和两块 ROM 均采用配置 FPGA 内置资源的方式实现. 经 Quartus II 8.0 仿真综合,资源使用情况如表 1 所示.

表 1 FPGA 资源使用表

类别	资源	百分比
查找表	7 294	5%
逻辑寄存器	1 319	<1%
存储器位	106 496	1%
DSP 块	6	<1%

由上表可以看出设计的低硬件开销特性. 综合结果显示系统最高可达 136.43MHz.

5 MATLAB 仿真结果

通过 MATLAB 产生随机数,经过本设计处理器,进行信噪比仿真如图 5 所示.

图 5 中对比了传统的块浮点和高精度块浮点运算的精度. 可以明显看出设计的高精度块浮点运算精度高于传统的块浮点. 主要是由于传统的块浮点算法每一级共享一个指数,而高精度块浮点每个数都有独立的指数和尾数,运算时采用独特的块浮点乘法器和块浮点加法器,使得截位误差相对减小,满足了高精度的特性.

6 ASIC 实现

本文设计的 FFT/IFFT 采用 Synopsys Design Compiler 在 SMIC 0.13 μ m CMOS 工艺库下完成逻辑综合, VCS 完成后端网表的仿真, Synopsys Astro 完成布局布线,芯片面积为 1.55 mm². 版图如图 6 所示.

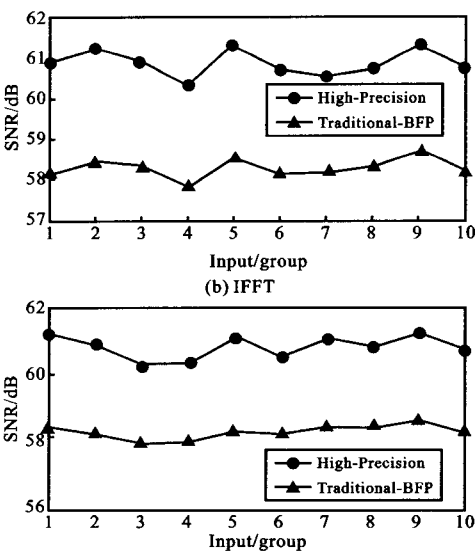


图 5 MATLAB 仿真结果

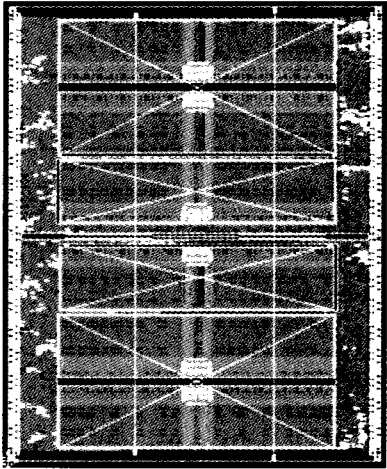


图 6 FFT/IFFT 处理器版图

图中的长方形块为 4 块 RAM 和 2 块 ROM. 白色单元为逻辑单元.

7 结束语

文中主要研究了一种基于高精度块浮点算法的可配置 FFT/IFFT 处理器设计. 配置点数为 64、128、256、512、1024, 实部、虚部均为 16bit 数据的 FFT/IFFT 运算, 既可作为宽带通信系统如 Wimax、LTE 的解调模块, 又可作为通用 FFT/IFFT 处理器使用. 文中提出了一种新颖的块浮点算法, 有效地提高了精度, 采用的单蝶形混合基串行结构, 节省了大量硬件资源并降低了设计的复杂性. 在 SMIC 0.13 μ m CMOS 工艺下完成了综合, 最高频率为 210MHz. 测试结果显示了本设计的高精度特性.

参考文献:

- [1] 黄秋元, 雷艳敏, 李卫国. DVB-T 接收系统中 2k-8kFFT 处理器的设计及 ROM 优化[J]. 微电子学与计算机, 2008, 25(11):16-20.
- [2] 元中瑞, 张浩, 邱昕. 802.16e 系统变长可配置 FFT 的设计与实现[J]. 微电子学与计算机, 2009, 26(2):1-4.
- [3] Liu G H, Feng Q Y. ASIC design of low-power reconfigurable FFT processor[C]//ASICON'07. China: Changsha, IEEE, 2007:44-47.
- [4] Wang Chuachin, Huang Jianming, Cheng Hsian chang. A 2K/8K mode small-area FFT processor for OFDM demodulation of DVB-T receivers[J]. IEEE Transactions on Consumer Electronics, 2005, 51(1):28-32.
- [5] Chang Weihsin Chang, Truong Nguyen. An OFDM-specified lossless FFT architecture[J]. IEEE Transactions on circuits and systems, 2006, 53(6):1235-1243.
- [6] Kim H G, Youn J S, Yoon K T, et al. 8K-point pipelined FFT/IFFT with compact memory for DVB-T using block floating-point scaling technique[C]//Information and Communications Technology (ICICT 2007). Dhaka, Bangladesh University, IEEE, 2007:41-44.

作者简介:

姜鑫 男, (1983-), 硕士研究生. 研究方向为数字集成电路设计.

唐广 男, (1958-), 副教授. 研究方向为电路参数优化设计、模数混合集成电路设计和数字信号处理.

吴斌 男, (1976-), 副研究员. 研究方向为宽带通信 SOC.

(上接第 43 页)

- [4] Viola P, Jones M. Rapid object detection using a boosted cascade of simple features[J]. IEEE Computer Soc. Computer Vision and Pattern Recognition, 2001(1): 511-518.
- [5] Xiao Rong, Zhu Long, Hongjiang Zhang. Boosting chain learning for object detection[C]//ICCV 2003. China: Beijing, 2003:709-715.
- [6] Wu J, Regh J M, Mullin M D. Learning a rare event detection cascade by direct feature selection[C]// NIPS. Canada: Vancouver, 2004.
- [7] Freund Y, Schapire R E. A decision-theoretic generalization of online learning and an application to boosting[J]. Computer and System Sciences, 1997, 55(1): 119-139.
- [8] Kim J H, Kwon B G, Kim J Y, et al. Method to improve the performance of the AdaBoost algorithm by combining weak classifiers[EB/OL]. [2009-03-10]. <http://www.ieee.org/portal/site>.
- [9] 蔡津津, 赵杰煜, 王乐珩. AproPhos: 基于 AdaBoost 方法的蛋白质磷酸化修饰预测系统[J]. 微电子学与计算机, 2007, 24(7):35-39.

作者简介:

方义秋 女, (1963-), 副教授. 研究方向为模式识别、软件工程.

卢道兵 男, (1974-), 硕士. 研究方向为模式识别.

葛君伟 男, (1961-), 博士, 教授. 研究方向为模式识别、图像处理、软件工程.